

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-203847

(43) 公開日 平成8年(1996)8月9日

(51) IntCl <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285		C		
C 2 3 C 16/24				
H 0 1 L 21/205				
21/28		L		
	3 0 1	C		

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平7-9842  
 (22) 出願日 平成7年(1995)1月25日

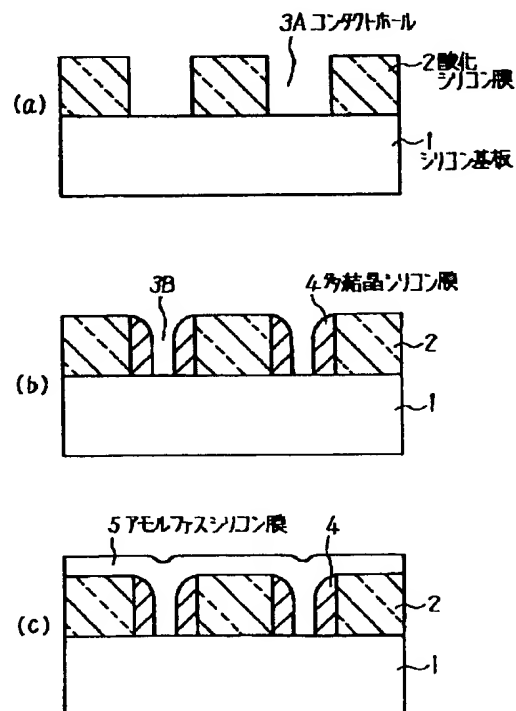
(71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72) 発明者 獅子口 清一  
 東京都港区芝五丁目7番1号 日本電気株式会社内  
 (74) 代理人 弁理士 京本 直樹 (外2名)

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【目的】高アスペクト比を持つコンタクトホールに対して、良好なカバレッジでシリコン系薄膜を形成する。

【構成】シリコン基板1上の酸化シリコン膜2にコンタクトホール3Aを形成したのち、その側壁に多結晶シリコン膜4を形成しアスペクト比約10のコンタクトホール3Bとする。次でLPCVD法を用い、原料ガスとしてSiH<sub>4</sub>を表面反応律速条件で供給すると同時に、エッチングガスとしてのCl<sub>2</sub>ガスを供給律速条件で供給して、コンタクトホールをアモルファスシリコン膜5で埋設する。次で熱処理し多結晶シリコン膜とする。



## 【特許請求の範囲】

【請求項1】 半導体基板上に設けた絶縁膜にコンタクトホールを形成したのち、CVD法により不純物を含むシリコン系（シリコン又はシリコン合金）膜を成長し前記コンタクトホールを埋設する工程とを有する半導体装置の製造方法において、前記シリコン系膜の成長は該シリコン系膜の原料ガスと該シリコン系膜をエッチングするエッチング用ガスとを同時に供給し、かつ前記原料ガスを、前記コンタクトホールの内外のガス濃度が均一になるように大流量を用いる表面反応律速条件で供給し、前記エッチングガスを、前記コンタクトホールの外部で高濃度となり底部で低濃度となるように少流量を用いるガス供給律速条件で供給することを特徴とする半導体装置の製造方法。

【請求項2】 シリコン系膜の原料ガスとして $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiH}_2\text{F}_2$ 、 $\text{GeH}_4$ 、 $\text{GeCl}_4$ 、もしくは $\text{GeF}_4$  ガスを用い、エッチングガスとして $\text{HCl}$ 、 $\text{Cl}_2$ 、 $\text{F}_2$ 、 $\text{ClF}_3$ 、もしくは $\text{NF}_3$  ガスを用いる請求項1記載の半導体装置の製造方法。

【請求項3】 原料ガスおよびエッチングガスと同時に不純物のドーピングガスを供給しシリコン系膜に不純物を添加する請求項1又は請求項2記載の半導体装置の製造方法。

【請求項4】 ドーピングガスとしてフォスフィン（ $\text{PH}_3$ ）、アルシン（ $\text{AsH}_3$ ）もしくは三塩化砒素（ $\text{AsCl}_3$ ）を用いてN型のシリコン系膜を成長する請求項1又は請求項2記載の半導体装置の製造方法。

【請求項5】 ドーピングガスとしてジボラン（ $\text{B}_2\text{H}_6$ ）を用いてP型のシリコン系膜を成長する請求項1又は請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にシリコン系膜によるコンタクトホールの埋設方法に関する。

## 【0002】

【従来の技術】 シリコン系薄膜は、各種の電極、配線材料、あるいは抵抗体として半導体装置の形成材料として広く使用されている。例えば、多結晶シリコン膜はメモリーデバイスにおける電荷蓄積電極や、ゲートあるいはデバイス活性層と配線層との接続用のコンタクトホールの埋設材料などに適用されている。又、GeはSiと同じ構造を持ち、しかも抵抗率はSiより極めて低いため、Si-Ge合金が、コンタクトホールの埋込み材料等に用いられている。従来、このシリコン系薄膜の形成方法としては、シラン系（ $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ ）の原料ガスと、ドーパントガスをを用いた化学気相成長（CVD）法により成長する方法がある。成長条件としては、例えば、基板温度を400～460℃、 $\text{Si}_2\text{H}_6$  分圧を

0.5 Torr以上、 $\text{PH}_3$  分圧を6.5 Torrで多結晶シリコン膜を成長する方法が例えば、特開平4-345025号公報に記載されている。また、絶縁膜に素子領域を露出させたコンタクトホールの埋設方法としては、原料ガスとして $\text{SiH}_4$  と $\text{GeH}_4$  を用い基板温度600℃、圧力 $1 \times 10^{-5}$  Torrで $\text{Si}_{0.6}\text{Ge}_{0.4}$  合金薄膜を素子領域上のみに選択的に成長する方法が例えば、特開平4-221821号公報に記載されている。

## 10 【0003】

【発明が解決しようとする課題】 近年の集積回路のさらなる高集積化に伴ない、素子サイズの縮小と3次元構造化が進み、コンタクトホールの面積が縮小し、コンタクトホールの高さが増大（いわゆるコンタクトホールのアスペクト比が増大）している。例えば、0.2 $\mu\text{m}$ 以下の設計ルールで形成されるメモリーデバイスにおいては、アスペクト比10程度のコンタクトホールが要求されている。しかしながら、上述した従来の埋設方法のうち前者のシリコン系膜の埋設方法では、このような高アスペクト比を持つコンタクトホールをカバレッジ良く埋設することは困難である。

【0004】 これは、高アスペクト比のコンタクトホールでは、原料ガスが微細ホール内部に供給されにくいいため、ガス濃度がコンタクトホールの入り口からホールの底に向かって薄くなる結果、入り口から底に向かって膜成長速度が遅くなるためである。さらに、入り口近傍の直径がホール内部の直径より小さい逆テーパ形状のコンタクトホールの場合、ガス濃度がホール内外で同一となる条件下で膜成長しても、コンタクトホールを完全に埋設することはできない。

【0005】 また、埋設方法のうち後者の選択成長法による従来例は、層間膜表面およびコンタクトホールの側壁が絶縁膜である場合には、カバレッジ良くコンタクトホールを埋設することが可能である。しかしながら、層間膜にコンタクトホールを形成したのち全面に多結晶シリコン膜を成長し、エッチバックしてホール径をフォトリソグラフィの限界寸法以下にまで縮小した超微細なコンタクトホールでは、層間膜上およびホール側壁は多結晶シリコン膜で形成されていることになる。従って、このような構造のコンタクトホールの埋設に対してはSi-Ge合金膜の選択成長はできないため、選択成長法を用いた従来技術では対応できない。

【0006】 このように高アスペクト比をもつコンタクトホールを従来のシリコン系膜の形成方法で埋設した半導体装置では、カバレッジが悪いために、コンタクト不良による製品歩留まりの低下やコンタクト抵抗増大による動作速度の低下など装置性能が悪化するという問題がある。

【0007】 本発明の目的は、上記従来技術の課題を解決し、コンタクトホールの形状やホール側壁の材質の如

何に拘らずカバレッジ良くシリコン系膜でコンタクトホールを埋設可能な半導体装置の製造方法を提供することにある。

#### 【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に設けた絶縁膜にコンタクトホールを形成したのち、CVD法により不純物を含むシリコン系（シリコン又はシリコン合金）膜を成長し前記コンタクトホールを埋設する工程とを有する半導体装置の製造方法において、前記シリコン系膜の成長は該シリコン系膜の原料ガスと該シリコン系膜をエッチングするエッチング用ガスとを同時に供給し、かつ前記原料ガスを、前記コンタクトホールの内外のガス濃度が均一になるように大流量を用いる表面反応律速条件で供給し、前記エッチングガスを、前記コンタクトホールの外部で高濃度となり底部で低濃度となるように少流量を用いるガス供給律速条件で供給することを特徴とするものである。

#### 【0009】

【作用】コンタクトホールを埋設する従来の方法でカバレッジが悪い原因は、微細なコンタクトホール内部にはガスが供給されにくいために、コンタクトホール外部の成長速度がコンタクトホール内部より速くなることによる。この従来の成長条件での成長は、膜成長速度が原料ガスの供給で律速されていることから、ガス供給律速領域の成長と言う。この領域では、原料ガスの供給量を増加させると成長速度も増加する。この原料ガスの供給量をさらに増加させると、ある原料ガス流量において成長速度は飽和する。この成長速度の飽和した条件での成長を、表面反応律速領域の成長と言う。従って、原料ガス流量を大流量にして、コンタクトホール内の最もガス濃度の低い場所での成長が表面反応律速領域になる条件で成長すれば、コンタクトホール内外での成長速度は同一になり、カバレッジが改善される。

【0010】しかしながら、この表面反応律速領域で成長した場合であっても、ホール入りの直径がホール底の直径より小さい逆テーパ形状のコンタクトホールに対しては、ホール内部が埋め込まれるより速くホール入り口が塞がってしまうために、完全にコンタクトホールを埋め込むことはできない。

【0011】本発明では、膜をエッチングする効果を持つ反応ガス（エッチングガス）を膜の原料ガスと同時に以下の条件で供給する。すなわち、エッチングガス流量を小流量として、ホール外部でのエッチングガス濃度がホール内部でのエッチングガス濃度より高くなるガス流量条件（エッチング速度がエッチングガスの供給量で律速される条件）とする。このガス供給律速条件では、コンタクトホール外部での膜エッチング速度がホール内部でのエッチング速度より速くなる。膜の正味の成長速度は原料ガスによる膜成長速度からエッチング速度を差し

引いた速度となるため、原料ガスの供給量を表面反応律速領域としエッチングガスの供給量をガス供給律速領域とすれば、ホール入り口近傍の正味の成長速度をホール内部の成長速度より遅くすることが可能となる。この結果、逆テーパ形状のコンタクトホールに対しても、完全にシリコン系膜を埋め込むことができる。

【0012】反応ガスの種類としては、原料ガスについては表面反応律速領域の条件を確保しやすい表面での反応性の低いガスを、又エッチングガスについてはガス供給律速条件を得やすい膜との反応性の高いガスを使用することが望ましい。

#### 【0013】

【実施例】次に本発明を図面を参照して説明する。図1(a)～(c)は、本発明の第1の実施例を説明する為の半導体チップの断面図である。

【0014】まず、図1(a)に示すように、面方位[100]、抵抗率 $10\Omega\cdot\text{cm}$ のP型シリコン基板上1に酸化シリコン膜2を $1\mu\text{m}$ の厚さに形成した後、フォトリソグラフィにより酸化シリコン膜2に直径 $0.5\mu\text{m}$ のコンタクトホール3Aを形成する。

【0015】次に図1(b)に示すように、LPCVD法により多結晶シリコン膜4を $0.2\mu\text{m}$ 成長したのち、この多結晶シリコン膜を $0.2\mu\text{m}$ エッチングして、アスペクト比およそ10のコンタクトホール3Bを形成する。このコンタクトホール開孔条件では、ホール入りの直径は $0.15\mu\text{m}$ 、ホール底の直径は $0.1\mu\text{m}$ となる。

【0016】次に、図1(c)に示すように、通常の縦型LPCVD装置を用い、反応管内温度、および圧力をそれぞれ $550^\circ\text{C}$ 、 $20\text{Pa}$ とし、原料ガスとして $\text{SiH}_4$ ガスを、ドーパントガスとして4% $\text{PH}_3$ （Heベース）ガスを、またエッチングガスとして $\text{Cl}_2$ ガスを供給してコンタクトホールをアモルファスシリコン膜5で埋設する。 $\text{PH}_3$ ガスの流量は $50\text{scm}$ である。その後 $850^\circ\text{C}$ 、30分の結晶化熱処理を施してN型の多結晶シリコン膜とする。

【0017】図2及び図3は、結晶化熱処理を施した多結晶シリコン膜について、アモルファスシリコン膜5の成膜時における $\text{SiH}_4$ ガスおよび $\text{Cl}_2$ ガス流量を変化させた場合のカバレッジ（ホール底面での膜の厚さ）／（ホール外での膜の厚さ）を走査型電子顕微鏡により評価したものであるが、 $\text{SiH}_4$ ガスを表面反応律速領域で、また $\text{Cl}_2$ ガスを供給律速領域で供給することにより、100%のカバレッジが得られていることが確認された。

【0018】図4(a)～(c)は本発明の第2の実施例を説明する為の半導体チップの断面図である。

【0019】まず図4(a)に示すように、面方位[100]、抵抗率 $10\Omega\cdot\text{cm}$ のP型シリコン基板1上にボロンシリケートガラス(BSG)膜6を $0.8\mu\text{m}$ 形

5

成した後、さらに酸化シリコン膜2Aを0.2 $\mu$ m形成して1.0 $\mu$ m厚の層間膜を形成する。次に、フォトリソグラフィにより酸化シリコン膜2AとBSG膜6を連続してエッチングし、およそ直径0.5 $\mu$ mのコンタクトホール3Cを形成する。このとき、BSG膜6のエッチング速度は酸化膜のそれより早いいため、コンタクトホール形状は入り口が狭く底が広い形状となる。

【0020】次に図4(b)に示すように、LPCVD法により多結晶シリコン膜4Aを0.2 $\mu$ m成長したのち、この多結晶シリコン膜を0.2 $\mu$ mエッチングして、アスペクト比およそ10のコンタクトホール3Dを形成する。この最終的に形成されるコンタクトホールのホール入り口の直径は0.1 $\mu$ m、ホール底の直径は0.15 $\mu$ mとなる。

【0021】次に図4(c)に示すように、通常の縦型LPCVD装置を用い、反応管内温度および圧力をそれぞれ550℃、20Paとし、原料ガスとしてSiH<sub>4</sub>ガスを1000sccm、ドーパントガスとして4%PH<sub>3</sub>(Heベース)ガスを50sccm、またエッチングガスとしてCl<sub>2</sub>ガスを10sccm供給してコンタクトホールをアモルファスシリコン膜5Aで埋設する。その後、850℃、30分の結晶化熱処理を施してN型の多結晶シリコン膜とする。

【0022】以上の方法で形成したコンタクトホールを走査型電子顕微鏡により評価したところ、図4(c)に示したように、ホール入り口の直径が内部より小さい形状のコンタクトホールに対しても完全にSi膜を埋設できることが確認された。

【0023】次に第3の実施例としてSiGe合金膜でコンタクトホールを埋設する場合について説明する。

【0024】第2の実施例と同一のプロセスを用い、図4(b)に示したように、アスペクト比およそ10のコンタクトホールを形成する。コンタクトホールのホール入り口の直径は0.1 $\mu$ m、ホール底の直径は0.15 $\mu$ mとなる。

【0025】次に、通常の縦型LPCVD装置を用い、反応管内温度、および圧力をそれぞれ550℃、30Paとし、原料ガスとしてSiH<sub>4</sub>ガスを500sccm、GeH<sub>4</sub>を10sccm、ドーパントガスとして1%PH<sub>3</sub>(Heベース)ガスを5sccm、またエッチングガスとしてCl<sub>2</sub>ガスを10sccm供給してコンタクトホールをアモルファスのSi<sub>1-x</sub>Ge<sub>x</sub>(X=0.2)膜で埋設する。その後、700℃、30分の結晶化熱処理を施してN型の多結晶Si<sub>1-x</sub>Ge<sub>x</sub>(X=0.2)膜を得る。

【0026】以上の方法で形成したコンタクトホールを走査型電子顕微鏡により評価したところ、第2の実施例と同様にホール入り口直径が内部より小さい形状のコンタクトホールに対しても完全にSiGe合金膜を埋設できることが確認された。

6

【0027】図5(a)、(b)は本発明の第4の実施例を説明する為の半導体チップの断面図であり、本発明をMOSダイナミックRAMに適用した場合を示す。

【0028】まず図5(a)に示すように、面方位[100]、抵抗率10 $\Omega \cdot \text{cm}$ のP型シリコン基板11上にLOCOS(選択酸化法)によりフィールド酸化膜12を形成する。次に、ゲート酸化膜15およびゲート電極16を形成した後、ソース13とドレイン14を形成してスイッチングトランジスタ素子を形成する。さらにCVD法により層間絶縁膜7を形成した後、ドレイン14に接続する容量コンタクトホール(ホール径0.1 $\mu$ m)18を開孔する。

【0029】次に、図5(b)に示すように、コンタクトホールの埋設を行う。すなわち、通常のLPCVD装置を用い炉内温度550℃、真空度を20Paに設定し、原料ガスとしてSiH<sub>4</sub>ガスを1000sccm、4%PH<sub>3</sub>(Heベース)を50sccm、エッチングガスCl<sub>2</sub>を10sccm供給し、リンを導入したシリコン膜19を0.1 $\mu$ m成長させてコンタクトホール18を完全に埋設する。次に、通常のリンドーパトSi膜の形成方法により0.5 $\mu$ mのアモルファスシリコン膜を形成した後、850℃、30分の結晶化アニールを施してこのアモルファスシリコン膜を結晶化すると同時にリン原子を電気的に活性化し、全体として0.6 $\mu$ m厚の多結晶シリコン膜20を形成する。その後、公知のプロセスを用い、MOSダイナミックRAMを形成する。

【0030】本第4の実施例で形成したRAMは、コンタクトホールが完全に埋設されているためコンタクト不良によるビット不良の発生がなく、製造歩留まりが向上した。また、コンタクトホールの内部が完全に多結晶シリコン膜で埋設され、ボイドの発生がないため、コンタクト抵抗が低減される結果、RAMのアクセス時間の高速化など性能の向上が図れるという利点もある。

【0031】上記実施例では、反応ガスとしてSiH<sub>4</sub>、GeH<sub>4</sub>、PH<sub>3</sub>、Cl<sub>2</sub>を用いたが、膜成長用の原料ガスとしてSi<sub>2</sub>H<sub>6</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>、SiH<sub>2</sub>F<sub>2</sub>、GeCl<sub>4</sub>、GeF<sub>4</sub>を、又ドーピングガスとしてAsH<sub>3</sub>、AsCl<sub>3</sub>、B<sub>2</sub>H<sub>6</sub>を、又エッチングガスとしてHCl、F<sub>2</sub>、ClF<sub>3</sub>、NF<sub>3</sub>等のガスを用いた場合であっても、成長ガスに関して表面反応律速領域で、エッチングガスに関してガス供給律速領域で反応を行えば、実施例と同様に良好なカバレッジの膜が得られる。また、実施例では成長装置として、LPCVD装置を用いたが、UHV-CVD(超高真空CVD)装置やAPCVD(常圧CVD)装置を用いても同様の結果が得られる。

【0032】

【発明の効果】以上説明したように本発明は、層間膜に設けたコンタクトホールを不純物を含有するシリコン系薄膜で埋設する場合、シリコン系膜の原料ガスとシリコ

ン系膜に対してエッチング効果を有するエッチングガスを同時に供給し、かつ、原料ガスを表面反応律速条件で、エッチングガスをガス供給律速条件で供給することにより、高アスペクト比を持つコンタクトホールを、カバレッジ良くシリコン系薄膜で埋設できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明する為の半導体チップの断面図。

【図2】実施例におけるシリコン膜のカバレッジと  $\text{SiH}_4$  流量との関係を示す図。

【図3】実施例におけるシリコン膜のカバレッジと  $\text{Cl}_2$  流量との関係を示す図。

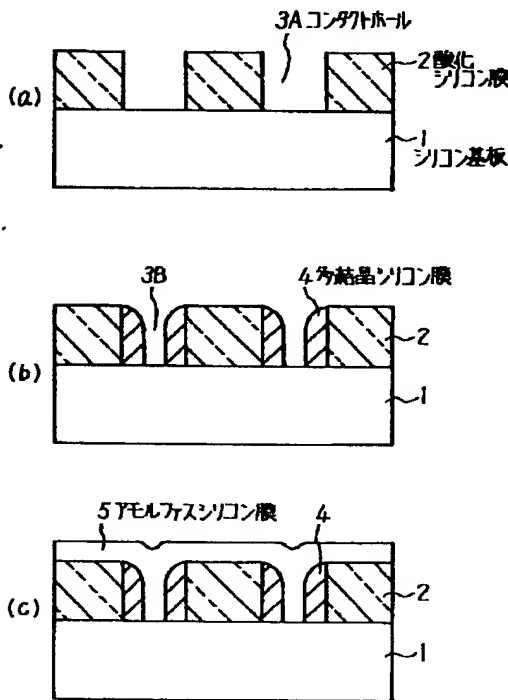
【図4】本発明の第2の実施例を説明する為の半導体チップの断面図。

【図5】本発明の第4の実施例を説明する為の半導体チップの断面図。

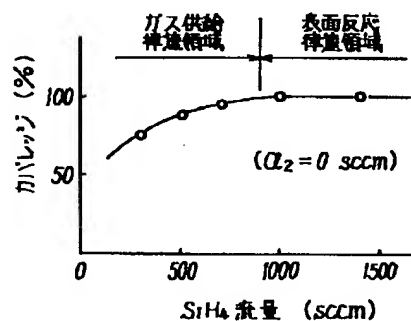
【符号の説明】

- 1, 11 シリコン基板
- 2, 2A 酸化シリコン膜
- 3A~3D コンタクトホール
- 4, 4A 多結晶シリコン膜
- 5, 5A アモルファスシリコン膜
- 6 BSG膜
- 12 フィールド酸化膜
- 13 ソース
- 14 ドレイン
- 15 ゲート酸化膜
- 16 ゲート電極
- 17 層間絶縁膜
- 18 コンタクトホール
- 19 シリコン膜
- 20 多結晶シリコン膜

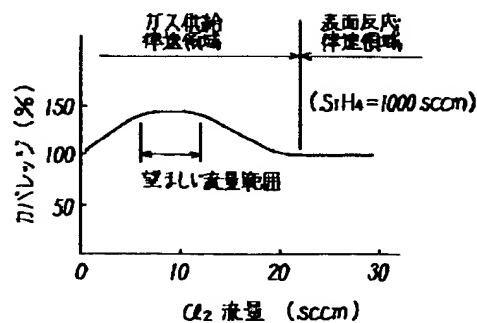
【図1】



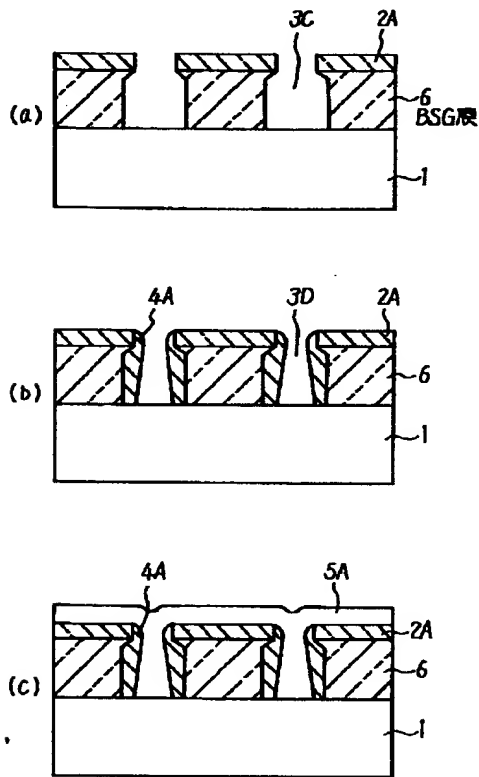
【図2】



【図3】



【図4】



【図5】

